

MASK FOR SEMICONDUCTOR MANUFACTURING PROCESS

Patent Number: JP2002015981
Publication date: 2002-01-18
Inventor(s): CHIBA AKIRA; OGAWA TARO
Applicant(s): MITSUBISHI ELECTRIC CORP;; HITACHI LTD
Requested Patent: ☐ JP2002015981
Application Number: JP20000198337 20000630
Priority Number(s):
IPC Classification: H01L21/027; G03F1/16
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a mask for semiconductor manufacturing process for improved precision in mask pattern arrangement through reduction of strains by adjusting internal stress occurring at each film of a mask blank, and also by reducing strains due to by partial removing of an absorber film.

SOLUTION: A mask for a semiconductor manufacturing process is provided, which has a basic structure where a reflective multilayer film and an absorber film are formed on a base-material board. Here, between the base-material board and the reflective multilayer film, a stress-adjusting film is formed which has such internal stress as corrects mask strain caused by the internal stress of the reflective multilayer film and the absorber film. The internal stress of the stress adjusting film is set almost equal to critical stress.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-15981

(P2002-15981A)

(43)公開日 平成14年1月18日(2002.1.18)

(51)Int.Cl.⁷

識別記号

H 0 1 L 21/027

G 0 3 F 1/16

F I

G 0 3 F 1/16

H 0 1 L 21/30

テ-マコト*(参考)

A 2 H 0 9 5

5 3 1 M 5 F 0 4 6

5 0 2 P

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21)出願番号 特願2000-198337(P2000-198337)

(22)出願日 平成12年6月30日(2000.6.30)

(出願人による申告) 国等の委託研究の成果に係る特許出願(平成11年度新エネルギー・産業技術総合開発機構(再)委託研究、産業活力再生特別措置法第30条の適用を受けるもの)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 千葉 明

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100057874

弁理士 曾我 道照 (外6名)

最終頁に続く

(54)【発明の名称】 半導体製造プロセス用マスク

(57)【要約】

【課題】 マスクブランクの各膜に発生する内部応力を調整することにより歪を低減するとともに、吸収体膜の部分的除去に基づく歪を低減して、マスクパターンの配置精度を向上した半導体製造プロセス用マスクを提供すること。

【解決手段】 下地基板の上に反射多層膜と吸収体膜とが成膜されてなる基本構造を備えた半導体製造プロセス用マスクにおいて、下地基板と反射多層膜との間に、反射多層膜および吸収体膜の内部応力から生ずるマスクの歪を是正するように内部応力を備えた応力調整膜を成膜する。なお、この応力調整膜の内部応力は略臨界応力とする。



【特許請求の範囲】

【請求項1】 下地基板の上に反射多層膜と吸収体膜とが成膜されてなる基本構造を備えた半導体製造プロセス用マスクにおいて、前記下地基板と前記反射多層膜との間に、前記反射多層膜および前記吸収体膜の内部応力から

$$\sigma_c = - \left[\frac{5}{24} \frac{\gamma L^2}{t_c} + \frac{t_m}{t_c} \left(1 + 2 \frac{t_c}{h} \right) \sigma_m + \frac{t_a}{t_c} \left(1 + 2 \frac{t_c + t_m}{h} \right) \sigma_a \right]$$

ただし、 σ_c ：応力調整膜の内部応力についての設定値

σ_m ：反射多層膜の内部応力についての設定値

σ_a ：吸収体膜の内部応力についての設定値

ν ：ポアソン比

γ ：下地基板の密度

L^2 ：下地基板の面積

h ：下地基板の厚さ

t_c ：応力調整膜の厚さ

t_m ：反射多層膜の厚さ

t_a ：吸収体膜の厚さ

なる式で与えられる値にほぼ調整されていることを特徴とする請求項1記載の半導体製造プロセス用マスク。

【請求項3】 前記反射多層膜、吸収体膜および応力調整膜は、それぞれスパッタリングにより成膜されていることを特徴とする請求項1または2記載の半導体製造プロセス用マスク。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体製造プロセス用マスクに関するものである。

【0002】

【従来の技術】半導体製造プロセス用マスクにおいては、微細な回路パターンをシリコンウエハーに形成するために、光リソグラフィ技術が用いられている。この光リソグラフィの解像度は使用する光源の波長に依存するので、その高集積化、高密度化に伴いますます短波長化されつつあり、21世紀では紫外線よりはるかに短い極端紫外線(Extreme Ultraviolet、略称EUV)を用いた転写技術が考えられている。特に、70nm以下の超微細加工に波長11～15nmの軟X線を用いたEUVL(Extreme Ultraviolet Lithography)が期待されている。

【0003】しかし、EUV光は屈折率がほとんど真空の値に近いので、全ての物質の投影レンズを用いた屈折光学系の利用が不可能となる。このためEUV光に対して僅かに屈折率の異なる2種類の材料層対を成膜し、直入射に近いEUV光に対する反射率を高めた反射多層膜をコーティングした光学系やマスクを用いなければならない。特に、反射型マスクに用いられるEUV光を反射させる反射多層膜の表面は、波長の数分の一以下の平滑面が要求される。また、マスクにおいては、マスクブランク上に電子ビーム(EB)でパターンを描画する場合

生ずるマスクの歪を是正するような内部応力を備えた応力調整膜を成膜したことを特徴とする半導体製造プロセス用マスク。

【請求項2】 前記応力調整膜の内部応力は、

【数1】

におけるパターンの配置精度の向上が要求される。

【0004】図6は従来のEUVLマスクブランクの基本構造を示している。このマスクブランクは、石英からなる下地基板1と、下地基板1上に成膜された反射多層膜2と、反射多層膜2上に成膜された吸収体膜3とで構成されていた。なお、反射多層膜2は、高い反射率を得るためのものであって、屈折率の異なる2種類の物質を交互に積層した光学素子である。吸収体3は、EUV光を良く吸収する重金属材料、例えば、タンタル(Ta)やタングステン(W)からなるものである。

【0005】

【発明が解決しようとする課題】ところが、反射多層膜2と吸収体膜3とは、成膜時に生じる内部応力が存在し、この内部応力のためにマスクブランクに歪が生じていた。また、マスクブランクは、マスク製造過程において電子ビーム描画装置(EB描画装置)のマスクステージに静電チャックを用いて保持されるが、このとき前述の内部応力によるマスクブランクの歪を修正するために、大きなチャック力を必要としていた。そして、EB描画後にマスクブランクを静電チャックから取り外すと、このマスクブランクに再び歪が生じ、EB描画によるマスクのパターン配置精度の向上を妨げていた。

【0006】なお、反射多層膜2および吸収体膜3をスパッタリングで成膜していることから、反射多層膜2および吸収体膜3の内部応力を制御すること自体は可能である。すなわち、材料力学的には反射多層膜2および吸収体膜3の内部応力を調整して、マスクの歪を小さくすることは可能である。なお、この場合において、マスクブランクの歪が最小になる各膜2、3の内部応力をそれぞれの臨界応力と定義する。しかしながら、常に正確な臨界応力を得るように成膜することは極めて困難である。そして、この臨界応力に誤差が生じた場合、マスクブランクの歪が大きくなり、EB描画時のパターン配置精度を低下させる恐れがあった。

【0007】さらに、マスク製造過程において、エッチングにより吸収体膜3が設計回路の仕様にに基づき部分的に除去されてパターン成型された場合に、除去された吸収体膜3の内部応力が解放され、その部分には反射多層膜2しか残らなくなるため、マスクブランクに歪が大きく生じる恐れがあり、パターンの位置ずれを生ずる恐れがあった。

【0008】以上のごとく従来の半導体製造プロセス用

マスクにおいては、内部応力調整が困難であり、また、吸収体膜3の部分的除去に基づく歪の影響が大きく、マスクパターンの配置精度の向上を妨げていた。

【0009】本発明は、このような従来の技術に存在する問題点に着目してされたものであって、その目的とするところは、マスクブランクの各膜に発生する内部応力を調整することにより歪を低減するとともに、吸収体膜の部分的除去に基づく歪を低減して、マスクパターンの配置精度を向上した半導体製造プロセス用マスクを提供することにある。

$$\sigma_c = - \left[\frac{5}{24} \frac{\gamma L^2}{t_c} + \frac{t_m}{t_c} \left(1 + 2 \frac{t_c}{h} \right) \sigma_m + \frac{t_a}{t_c} \left(1 + 2 \frac{t_c + t_m}{h} \right) \sigma_a \right]$$

ただし、 σ_c ：応力調整膜の内部応力についての設定値

σ_m ：反射多層膜の内部応力についての設定値

σ_a ：吸収体膜の内部応力についての設定値

ν ：ポアソン比

γ ：下地基板の密度

L^2 ：下地基板の面積

h ：下地基板の厚さ

t_c ：応力調整膜の厚さ

t_m ：反射多層膜の厚さ

t_a ：吸収体膜の厚さ

なる式で与えられる値にほぼ調整されていることが好ましい。

【0012】また、本発明における前記反射多層膜、吸収体膜および応力調整用の膜をそれぞれスパッタリングにより成膜することが好ましい。

【0013】

【発明の実施の形態】以下、この発明の実施の形態を図面に基づき説明する。図1は、本実施の形態におけるEUVLマスクブランクの基本的構造を示す。この図1において、1は下地基板で、半導体工場で用いられている

$$\sigma_c = - \left[\frac{5}{24} \frac{\gamma L^2}{t_c} + \frac{t_m}{t_c} \left(1 + 2 \frac{t_c}{h} \right) \sigma_m + \frac{t_a}{t_c} \left(1 + 2 \frac{t_c + t_m}{h} \right) \sigma_a \right]$$

ただし、 σ_c ：応力調整膜4の内部応力についての設定値（臨界応力）

σ_m ：反射多層膜2の内部応力についての設定値（臨界応力）

σ_a ：吸収体膜3の内部応力についての設定値（臨界応力）

ν ：ポアソン比

γ ：下地基板1の密度

L^2 ：下地基板1の面積

h ：下地基板1の厚さ

t_c ：応力調整膜4の厚さ

t_m ：反射多層膜2の厚さ

t_a ：吸収体膜3の厚さ

により算定することができる。なお、このときの応力調

【0010】

【課題を解決するための手段】上記目的を達成するために、本発明は、下地基板上に反射多層膜と吸収体膜とが成膜されてなる基本構造を備えた半導体製造プロセス用マスクにおいて、前記下地基板と前記反射多層膜との間に、前記反射多層膜および前記吸収体膜の内部応力から生ずるマスクの歪を是正するような内部応力を備えた応力調整膜を成膜したものである。

【0011】また、この応力調整膜の内部応力は、

【数2】

6インチ正方形の合成石英基板としている。2は反射多層膜で、その厚みはMoとSiの周期長を6.8nmとして40対から構成されているので、272nmとなっている。3は吸収体膜で、タンタル（Ta）を用いている。なお、これら反射多層膜2および吸収体膜3は、それぞれ窒素ガス、アルゴンガス等の反応性ガスを用いた反応性スパッタリングにより成膜されている。

【0014】また、本実施の形態では、従来のものと異なり、下地基板1と反射多層膜2との間に応力調整膜4が上記同様のスパッタリングにより厚み200nmとなるように成膜されている。この応力調整膜4の材料は、吸収体3あるいは反射多層膜2の材料と同一のものでよく、また、他の材料を用いてもよい。また、この実施の形態においては、反射多層膜2および吸収体膜3の内部応力を一定の値に設定するとともに、マスクブランクの歪が最小となるように応力調整膜4の内部応力を設定している。この内部応力は、発明者らの研究に基づき導かれた次式、すなわち、

【数3】

整膜4の内部応力 σ_c 、並びに上記式を満たす反射多層膜2および吸収体膜3の内部応力 σ_m 、 σ_a をそれぞれについての臨界応力という。

【0015】図2は、上記式3に基づく計算結果を示すものであって、吸収体膜3の臨界応力 σ_a をパラメータとし、反射多層膜2の臨界応力 σ_m を関数としている。また、この図2においては、吸収体膜3の応力を200MPa刻みとし、 ± 1000 MPaの範囲で応力調整膜の臨界応力 σ_c の計算結果を示す。

【0016】なお、前述の反射多層膜2、吸収体膜3および応力調整膜4の内部応力の設定値、すなわち、各臨界応力の設定値 σ_m 、 σ_a 、 σ_c は、上記式（または、図2の関係）に基づき、変更することができる。また、各膜2、3、4の内部応力はアルゴン（Ar）やキセノン

(Xe)などの不活性ガスに対する反応性ガスの量(分圧)に対し一定の関係を有するので、この関係を予めデータとして持っておき、反応性ガスの量を変化させることにより、各膜2, 3, 4の内部応力の調整を行うことができる。

【0017】反射多層膜2および吸収体膜3の臨界応力 σ_m 、 σ_a は、双方が圧縮応力または引張り応力となるように設定するのが好ましい。このようにした場合、前記式または図2によれば、応力調整膜4の臨界応力 σ_c は、反射多層膜2および吸収体膜3の臨界応力 σ_m 、 σ_a が圧縮応力のときには引張り応力となり、反射多層膜2および吸収体膜3の臨界応力 σ_m 、 σ_a が引張り応力のときは圧縮応力となる。なお、上記において下地基板上に直接膜を形成したときに、この膜側の面が凸となるように歪む場合の内部応力を圧縮応力と称し、この場合には-で表示する。逆に、膜側の面が凹となるように歪む場合の内部応力を引張り応力と称し、この場合には+で表示している。

【0018】次に、前記式に基づき応力調整膜4の臨海応力 σ_c を設定することにより、パターン配置誤差がどのようになるかを、図3により説明する。図3は、反射多層膜2および吸収体膜3の臨界応力 σ_m 、 σ_a をそれぞれ-500MPaに設定し、応力調整膜4の臨界応力 σ_c を888MPaに設定したときのパターン配置誤差の計算結果を示すとともに、各膜2, 3, 4の内部応力のうちの 하나가、この各臨界応力から増減した場合に(つまり、成膜時の製作誤差に必ずしも臨界応力になるとは限らない)、パターン配置誤差がどのようになるかを示している。なお、 σ_c 、 σ_m 、 σ_a の線は、表示されていない他の二つの臨界応力が一定の内部応力として維持され、表示されている臨界応力に設定されている膜の内部応力が変化した場合のパターン配置誤差の計算結果を示す。

【0019】この図2から分かるように、各膜2, 3, 4がそれぞれ臨海応力(つまり、設定値) σ_m 、 σ_a 、 σ_c 通り成膜された場合は、パターン配置誤差は生じない。また、応力調整膜4の内部応力を臨海応力 σ_c として成膜されている場合は、 σ_m および σ_a の線から、反射多層膜2および吸収体膜3の内部応力が成膜時の製作誤差により臨界応力 σ_m 、 σ_a から変化している場合のパターン配置誤差を知ることができる。例えば、吸収体膜3の内部応力がその臨界応力 σ_a から製作誤差により $\pm 40\%$ ずれて製作された場合は、パターン配置誤差は5nm未満である。また、反射多層膜2の内部応力が製作誤差によりその臨界応力 σ_m から $\pm 40\%$ ずれて製作された場合は、パターン配置誤差は12nm未満であることが分かる。このように、本発明によれば、応力調整膜4の内部応力を、設定値の臨界応力 σ_c にほぼ調整しておくことにより、パターン配置誤差を小さく抑えることができる。

【0020】図4は、図3と同様の図であって、反射多層膜2および吸収体膜3の臨界応力 σ_m 、 σ_a をそれぞれ-250MPaとし、応力調整膜4の臨界応力 σ_c を418MPaに設定した場合のものである。この図4によれば、マスクブランクを構成する各膜の内部応力が半分になっており、パターン配置誤差もおよそ半分になっていることが分かる。

【0021】次に、図5により従来のものと本発明のものとのパターン配置誤差の比較を行う。図5において、 σ_a の線は、本発明のものであり、吸収体膜3および反射多層膜2の臨界応力 σ_m 、 σ_a を-250MPa、応力調整膜4の臨界応力 σ_c を418MPaとし、応力調整膜4および反射多層膜2の内部応力をそれぞれの臨海応力 σ_c 、 σ_m で一定とし、吸収体膜3の内部応力を、その臨海応力 σ_a を中心として変化させた場合のパターン配置誤差を示す線である。また、 σ_a without σ_c の線は、従来の応力調整膜を具備しないものを示す。また、この従来のものにおいては、反射多層膜2の臨海応力が-250MPa、吸収体膜3の臨海応力 σ_a が580MPaであり、図5の線図では、反射多層膜2の内部応力を臨海応力 σ_m で一定とし、吸収体膜3の内部応力を、その臨海応力 σ_a を基準として変化させた場合のパターン配置誤差を示している。

【0022】この図から分かるように、本実施の形態のものでは、吸収体膜3の内部圧力が臨海応力 σ_a を基準として $\pm 40\%$ 変化したときのパターン配置誤差が約2nmであるのに対し、従来のものでは、吸収体膜3の内部圧力が臨海応力 σ_a を基準として $\pm 40\%$ 変化したときのパターン配置誤差が約5nmである。この結果から、本実施の形態の場合には、応力調整膜4の応力調整作用により、反射多層膜2および吸収体膜3の内部応力に基づく歪が低減され、パターン配置誤差が改善されていることが分かる。

【0023】本実施の形態は、以上のごとく構成されているので、次のような効果を奏することができる。

(1) マスク製造プロセスにおいて、電子ビーム(EB)描画中、静電チャックでマスクブランクを固定するが、マスクブランクの歪が小さくなっているため、その際の固定が容易であり、また、マスクブランクの平坦性が向上しているため、マスクパターン配置精度が向上する。

(2) また、パターン形成プロセスにおいて、吸収体膜3の除去による応力変化に基づく歪が、応力調整膜4により低減されるため、マスクパターンの位置ずれを抑制することができる。

(3) また、応力調整膜4が下地基板1と反射多層膜2との間に形成されることにより、下地基板1上の凹凸が多少存在するようなことがあっても、応力調整膜4で平坦化されるので、反射多層膜2の界面にこの凹凸が伝播されない。したがって、応力調整膜4の表面を再度研

摩することによって、反射多層膜2成膜前に平滑な下地基板1を準備することができ、マスクが平坦化され、設計値通りの周期律表の反射多層膜2が得られる。

【0024】

【発明の効果】本発明によれば、下地基板上に反射多層膜と吸収体膜とが成膜されてなる基本構造を備えた半導体製造プロセス用マスクにおいて、前記下地基板と前記反射多層膜との間に、前記反射多層膜および前記吸収体膜の内部応力から生ずるマスクの歪を是正するような内部応力を備えた応力調整膜を成膜したので、成膜時に生ずる各膜の内部応力が調整されてマスクパターンの配置精度が向上する。また、パターン形成時の吸収体膜除去による歪が低減され、マスクパターンの位置ずれを抑制することができる。さらには、反射多層膜2の下地が平滑化されることによりマスクが平坦化され、設計値通りの周期の反射多層膜が得られる。

【0025】また、応力調整膜の内部応力を所定の臨界応力にほぼ調整されているので、マスクの歪を最小値に抑制することができる。

【0026】また、本発明によれば、前記反射多層膜、吸収体膜および応力調整用の膜は、それぞれスパッタリ

ングにより成膜されているので、各膜の内部応力の調整が容易となり、マスクパターンの配置精度の高い半導体製造プロセス用マスクを容易に製造することができる。

【図面の簡単な説明】

【図1】 この発明に係るマスクブランクの基本構造を示す図面である。

【図2】 この発明に係る応力調整膜の臨界応力の計算結果を示す線図である。

【図3】 この発明によるパターン配置誤差の例を示した線図である。

【図4】 この発明によるパターン配置誤差の他の例を示した線図である

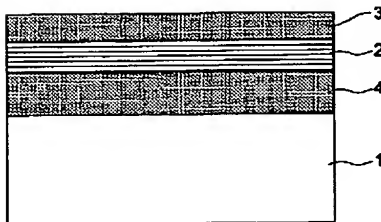
【図5】 この発明によるパターン配置誤差と従来のものによるパターン配置誤差とを比較した線図である。

【図6】 従来のマスクブランクの基本構造を示す図面である。

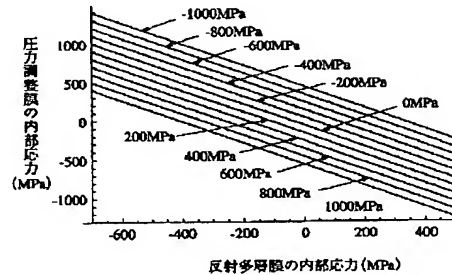
【符号の説明】

1 下地基板、2 反射多層膜、3 吸収体膜、4 応力調整膜、 σ_c 吸収体膜の内部応力、 σ_a 応力調整膜の内部応力、 σ_m 反射多層膜の内部応力。

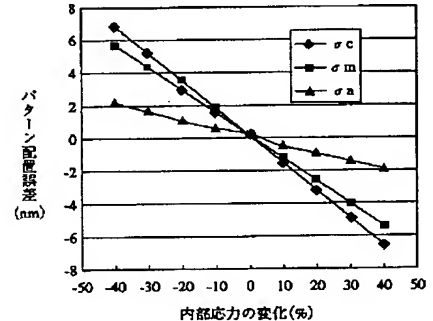
【図1】



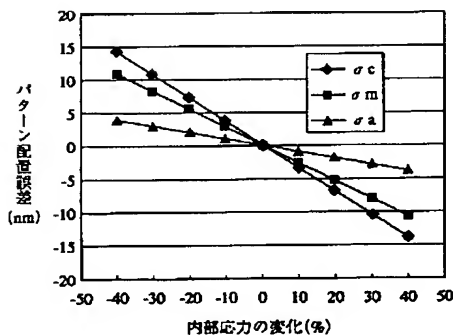
【図2】



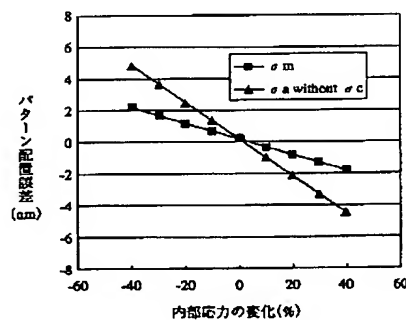
【図4】



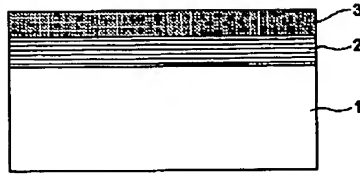
【図3】



【図5】



【図6】



フロントページの続き

(72)発明者 小川 太郎
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

Fターム(参考) 2H095 BA10 BB25 BB37 BC11 BC24
5F046 AA25 CB17 GD05 GD16